

複数領域抽出のための分裂する動的輪郭モデルのハードウェア実現について Hardware Realization of Split Active Contour Models for Multiple Area Extraction

三秋 俊雄[†]中邨 覚[†]川村 尚生^{††}菅原 一孔^{††}Toshio MIAKI[†] Satoru NAKAMURA[†] Takao KAWAMURA^{††} Kazunori SUGAHARA^{††}[†] 鳥取大学 大学院 工学研究科 知能情報工学専攻 ^{††} 鳥取大学 工学部 知能情報工学科

1 はじめに

我々は様々なシステムへの組み込みを目指して、ハードウェア上で実時間による特定領域を抽出する方法を開発している。特定領域を抽出する手法の一つに動的輪郭モデルがある。しかしこの手法は画像中のエネルギー最小化問題を解くことにより特定領域を抽出する手法であるため、多大な計算量が必要となりハードウェア上で行う事は難しい。そこでエネルギーの最小化を動的輪郭モデルに加わる力のつりあいとしてとらえる Sampled-ACM に、振動項を導入して耐雑音性を向上させた手法 [1](以下、動的輪郭モデル) を用いている。この手法では、画像が記録されているメモリへのアクセスが動作点の移動する画素のみで済むため、メモリのアクセス数を低減させることが可能である。そのため処理時間の短縮を図ることができる。

動的輪郭モデルは仮想的な閉曲線上にある複数の動作点に圧力、引力、反力および振動項と呼ばれる4つの力が働くことにより、閉曲線が収縮し領域を抽出する手法である。この動的輪郭モデルにより唇形状の抽出を行ったが、唇の形状は概ね外側に凸であるため圧力を考慮せず引力、反力、振動項により閉曲線を収縮させた [2]。しかしこの方法は1枚の画像から複数の顔領域を抽出する場合のように、抽出対象が複数となる場合には有効ではない。

本稿では圧力を考慮した動的輪郭モデルにおいて、閉曲線を分裂させることにより画像から複数の特定領域を抽出する方法を提案する。またこの手法は実時間処理を行う組込み型システムを目指し、FPGA (Field Programmable Gate Array) 上にハードウェアとして実現した。

2 分裂する動的輪郭モデル

2.1 動作点に働く4つの力

図1に動作点に働く3つの力によって閉曲線が収縮する様子を示す。圧力は注目している動作点と隣り合う2つの動作点で作る角の2等分線方向に働く力であり、その大きさは一定の値を持つ。引力は隣り合う2つの動作点間に働く力であり、その間の距離に比例した大きさを持つ。振動項は圧力と引力の合力に対し直角方向に働く力であり、収縮のたびにその方向を反転する。この振動項の大きさは一定の値 F_v を持つ。

また、反力は図2に示すように動作点が対象の画像領域に接した際に働く力であり、圧力 F_p 、引力 F_a 、振動項 F_v の合力の抽出領域に対する法線方向成分を打ち消す働きをもつ。

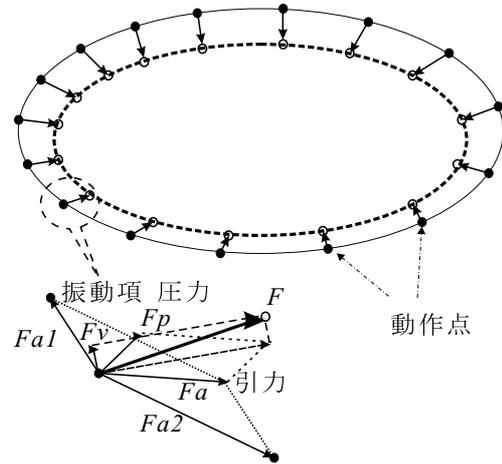


図1: 圧力, 引力, 振動項による閉曲線の収縮

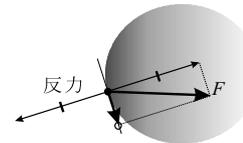


図2: 反力の働き

2.2 分裂

目的領域が複数ある場合、圧力を考慮しない動的輪郭モデルは収縮する力が引力と振動項だけであるため、図3(a)に示すように動作点は領域間の隙間に進入する事なく力がつりあって収縮を終える。

圧力を考慮することにより、図3(b)に示すように動作点は隙間に進入する。この時動作点間の距離がパラメータとして与える一定の値よりも小さくなった場合、図3(c)に示すように動的輪郭モデルの閉曲線を分裂させる。分裂した閉曲線はそれぞれの目的領域に向かって収縮を続ける。

3 動的輪郭モデルのハードウェア化

動的輪郭モデルのハードウェア化はFPGA上に行った。FPGAとはユーザ使用に合わせたハードウェア回路を自由にプログラミングすることのできるLSIである。内部回路は書き換え可能であり、ハードウェアの開発、変更が容易である。FPGAにはALTERA社のCyclone EP1C20F400C7を用いた。FPGAの動作クロックは48MHzである。Logic Element数は20,060である。このFPGAボードのユーザI/Oポートと、デコーダ、エンコーダ、メモリを実装したビデオ信号

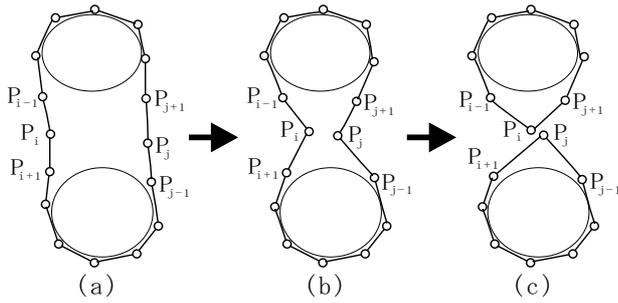


図 3: 分裂する動的輪郭モデル

入出力ボードのコネクタを接続することで、FPGA の内部回路がアクセス可能となる装置を開発し、実験を行った。開発したシステム全体の構成を図 3 に示す。

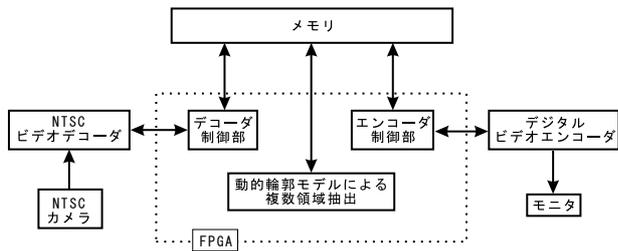
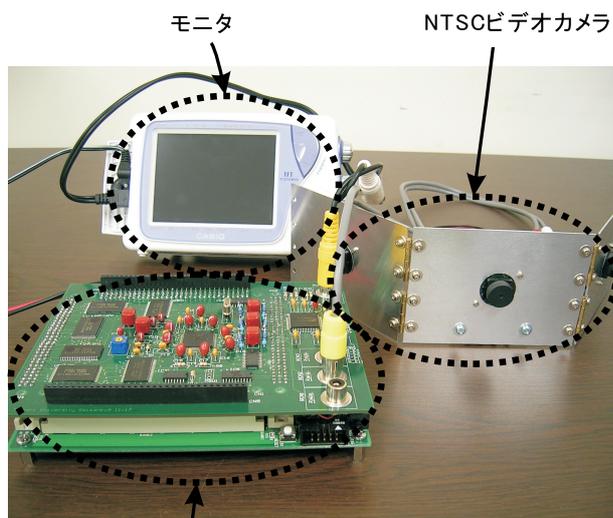


図 4: システム構成図

FPGA の内部回路の構築には、VHDL (VHSIC Hardware Description Language) というハードウェア記述言語を用いた。ハードウェア記述言語では論理ゲートを用いた回路図や論理式を考える必要が無く、テキスト形式で入力可能なため、記述や変更が容易である。また FPGA 論理回路開発ツールとして、ALTERA 社のソフトウェア Quartus version4.0 を用いて論理合成および配置配線を行った。

システムの処理の流れとしては、NTSC カメラより



ビデオ信号入出力ボードとFPGAボード

図 5: システムの各装置

取り込まれた画像を NTSC ビデオデコーダを介して FPGA ボードのメモリへと格納し、その画像に動的輪郭モデルを適用する。この時、最大収束回数を 50 回、また分裂後の最大収束回数を 30 回とした。仮想的な閉曲線上にある動作点は、分裂した後複数の目的領域の抽出を終えた結果として、動作点の最終位置をメモリへ書き込み、その結果をモニタに表示する。

4 動作実験

動作実験はある二つの領域を描いた画像を用いて行った。図 5 に実験に用いた各装置を示す。図 6 は分裂する動的輪郭モデルの適用前の動作点の初期位置、適用後の動作点の最終位置を示す。

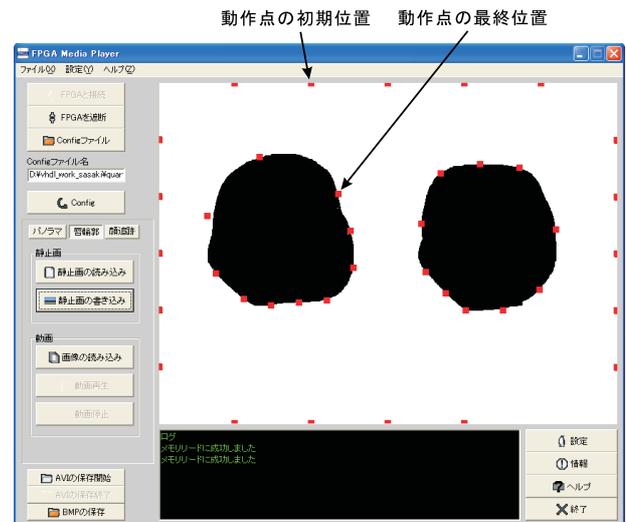


図 6: 複数領域の抽出結果

図 6 より分裂する動的輪郭モデルが二つの領域を正しく抽出している様子が確認できる。

分裂する動的輪郭モデルを組み込んだ回路規模は、全体の 40% のハードウェア量でシステムを実現できた。また動的輪郭モデル部の 1 フレームの処理にかかるクロック数は最大で約 17 万 3 千であり、FPGA のクロックが 48MHz である条件下で毎秒 30 フレームの動画像を処理するのに十分な処理速度が実現できた。

5 おわりに

FPGA 上にハードウェア実現した分裂する動的輪郭モデルを静止画像に適用し、画像から複数の特定領域を抽出した。今後はカメラから取り込んだ動画像を実時間で処理するシステムの実現を目指す。

6 参考文献

- [1] 菅原 一孔, 新地 俊幹, 小西 亮介. 振動項を持つ動的輪郭モデル. 電子情報通信学会論文誌 D-II, Vol.J80-D-II, No.12, pp.3232-3235, 1997.
- [2] 佐々木 悠介 他. 動的輪郭モデルによる唇形状抽出と母音認識のハードウェア実現について, 第 6 回 IEEE 広島支部学生シンポジウム論文集, pp.171-174(2004). テクノアークしまね.