

インターフェイス設計論課題

16bit 幅のデータバスを持つ CPU のメモリ関連部分の回路を設計せよ。なお、この CPU は 1Gbyte のメモリ空間を持つ。そのうち今回は、メモリは 0 番地からプログラム格納用の ROM を 256Kbyte, SRAM を 2Mbyte 実装するものとする。なお、RAM の実装開始アドレスは各自設定してよい。また、16bit 幅のレジスタを 8 つ持つインターフェイスコントローラを 2 つ実装する。このインターフェイスコントローラの実装アドレスも各自設定してよい。割り込みなどの制御回路や電源回路などは考慮しなくてもよいとして、以下の設問に答えよ。

- ① 2 つのインターフェイスコントローラを I/O 空間に配置するものとして、回路を設計せよ。
- ② 2 つのインターフェイスコントローラをメモリマップト I/O として実装する場合の回路を設計せよ。
- ③ ①, ②で実装した RAM とインターフェイスコントローラの番地割り当て(開始番地と終了番地)を示せ。

注意：CPU のピン配置は下図とし、ROM と SRAM の型番とそのデータシートの例を示しておく。

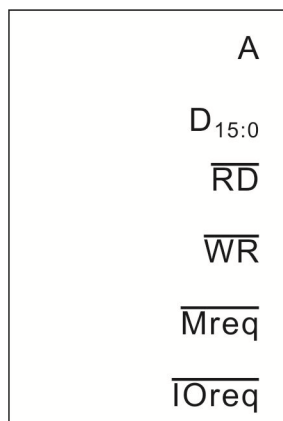


図. 今回利用する仮想 CPU